



Docket No.: 492322014800

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Yasuo SEGAWA

Application No.: 10/705,222

Group Art Unit: 2871

Filed: November 12, 2003

Examiner: Not Yet Assigned

For: DISPLAY DEVICE

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT

Commissioner for Patents
2011 South Clark Place
Room 1B03, Crystal Plaza 2
Arlington, Virginia, 22202

Sir:

Applicants hereby claim priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2002-326413	November 11, 2002

In support of this claim, a certified copy of the original foreign application is filed herewith.

Dated: April 5, 2004

Respectfully submitted,

By 

Barry E. Bretschneider

Registration No.: 28,055

MORRISON & FOERSTER LLP

1650 Tysons Blvd, Suite 300

McLean, Virginia 22102

(703) 760-7743



Morrison & Forster Ltd
703-760-7700
49232-20148.00

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 1 月 1 1 日

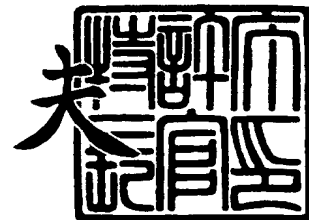
出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 2 6 4 1 3
[ST. 10/C]: [J P 2 0 0 2 - 3 2 6 4 1 3]

出 願 人
Applicant(s): 三 洋 電 機 株 式 会 社

2 0 0 3 年 1 1 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 6 6 1 7

【書類名】 特許願

【整理番号】 KHB1020041

【提出日】 平成14年11月11日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 瀬川 泰生

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 青田 雅明

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 山田 努

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100107906

【弁理士】

【氏名又は名称】 須藤 克彦

【電話番号】 0276-30-3151

【選任した代理人】

【識別番号】 100091605

【弁理士】

【氏名又は名称】 岡田 敬

**【手数料の表示】****【予納台帳番号】** 077770**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9904682**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】 マトリクスに配置された複数の画素と、行方向に延在する複数のゲートラインと、該複数のゲートラインに順次ゲート走査信号を出力する垂直ドライバ回路とを備え、前記ゲート走査信号に応じて各画素が選択される表示装置において、前記ゲートラインが前記画素から前記垂直ドライバ回路の出力部に至る途中で該ゲートラインを分断し、分断されたゲートライン同士を上層のメタル配線で接続したことを特徴とする表示装置。

【請求項 2】 前記分断されたゲートライン間の間隔が $10\ \mu\text{m}$ 以上であることを特徴とする請求項 1 記載の表示装置。

【請求項 3】 前記分断されたゲートラインの端から前記垂直ドライバ回路の出力部のゲート配線までの距離が $10\ \mu\text{m}$ 以上であることを特徴とする請求項 1 記載の表示装置。

【請求項 4】 前記分断されたゲートライン同士を上層のメタル配線で接続するまでは、画素のゲートラインと前記垂直ドライバ回路の出力部に近いゲートラインの 2 本が存在していることを特徴とする請求項 1 記載の表示装置。

【請求項 5】 前記ゲートラインは、モリブデン、クロムのいずれかで形成されていることを特徴とする請求項 1 記載の表示装置。

【請求項 6】 前記メタル配線はアルミニウム配線で形成されていることを特徴とする請求項 1 記載の表示装置。

【請求項 7】 マトリクスに配置された複数の画素と、行方向に延在する複数のゲートラインと、列方向に延在する複数のデータラインと、該複数のゲートラインに順次ゲート走査信号を出力する垂直ドライバ回路と、前記複数のデータラインにビデオ信号が供給されるタイミングを制御するためのドレイン走査信号を発生する水平ドライバ回路と、を備える表示装置において、

前記垂直ドライバ回路又は前記水平ドライバ回路内の回路を構成する薄膜トランジスタのゲート配線の途中を分断し、分断されたゲート配線同士を上層のメタル配線で接続したことを特徴とする表示装置。

【請求項 8】 マトリクスに配置された複数の画素と、行方向に延在する複数のゲートラインと、列方向に延在する複数のデータラインと、該複数のゲートラインに順次ゲート走査信号を出力する垂直ドライバ回路と、前記複数のデータラインにビデオ信号が供給されるタイミングを制御するためのドレイン走査信号を発生する水平ドライバ回路と、を備える表示装置において、

前記垂直ドライバ回路又は前記水平ドライバ回路内の 1 つのゲート配線が複数の個の薄膜トランジスタに直接入力しないように、前記ゲート配線の途中を分断し、分断されたゲート配線同士を上層のメタル配線で接続したことを特徴とする表示装置。

【請求項 9】 前記複数の個の薄膜トランジスタのうち少なくとも 1 つの薄膜トランジスタには前記ゲート配線と別のゲート配線が入力されていることを特徴とする請求項 8 記載の表示装置。

【請求項 10】 前記複数の個の薄膜トランジスタは、3 個以上の薄膜トランジスタであることを特徴とする請求項 8 又は請求項 9 記載の表示装置。

【請求項 11】 マトリクスに配置された複数の画素と、行方向に延在する複数のゲートラインと、列方向に延在する複数のデータラインと、該複数のゲートラインに順次ゲート走査信号を出力する垂直ドライバ回路と、前記複数のデータラインにビデオ信号が供給されるタイミングを制御するためのドレイン走査信号を発生する水平ドライバ回路と、を備える表示装置において、

前記垂直ドライバ回路又は前記水平ドライバ回路内の 1 つのゲート配線が複数の個の能動層に直接入力しないように、前記ゲート配線の途中を分断し、分断されたゲート配線同士を上層のメタル配線で接続したことを特徴とする表示装置。

【請求項 12】 前記複数の個の能動層のうち少なくとも 1 つの能動層には前記ゲート配線とは別のゲート配線が入力されていることを特徴とする請求項 11 記載の表示装置。

【請求項 13】 前記複数の個の能動層は、3 個以上の能動層であることを特徴とする請求項 11 又は請求項 12 記載の表示装置。

【請求項 14】 マトリクスに配置された複数の画素と、行方向に延在する複数のゲートラインと、列方向に延在する複数のデータラインと、該複数のゲート

トラインに順次ゲート走査信号を出力する垂直ドライバ回路と、前記複数のデータラインにビデオ信号が供給されるタイミングを制御するためのドレイン走査信号を発生する水平ドライバ回路と、を備える表示装置において、

前記垂直ドライバ回路又水平ドライバ回路内の 1 つの能動層には、同一の信号線ではない複数のゲート配線が入力されないように、能動層を分断し、分断された能動層同士を前記ゲート配線よりも上層のメタル配線で接続したことを特徴とする表示装置。

【請求項 15】 マトリクスに配置された複数の画素と、行方向に延在する複数のゲートラインと、列方向に延在する複数のデータラインと、該複数のゲートラインに順次ゲート走査信号を出力する垂直ドライバ回路と、前記複数のデータラインにビデオ信号が供給されるタイミングを制御するためのドレイン走査信号を発生する水平ドライバ回路と、を備える表示装置において、

前記垂直ドライバ回路又水平ドライバ回路内の 1 つの能動層には、同一の信号線ではない 3 本以上のゲート配線が入力されないように、能動層を分断し、分断された能動層同士を前記ゲート配線よりも上層のメタル配線で接続したことを特徴とする表示装置。

【請求項 16】 前記能動層がマルチゲート型薄膜トランジスタを構成していることを特徴とする請求項 14 又は請求項 15 記載の表示装置。

【請求項 17】 マトリクスに配置された複数の画素と、行方向に延在する複数のゲートラインと、列方向に延在する複数のデータラインと、該複数のゲートラインに順次ゲート走査信号を出力する垂直ドライバ回路と、前記複数のデータラインにビデオ信号が供給されるタイミングを制御するためのドレイン走査信号を発生する水平ドライバ回路と、を備える表示装置において、

前記垂直ドライバ回路又水平ドライバ回路内の 1 つの能動層には、1 つのゲート配線のみが入力されていることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マトリクスに配置された複数の画素と、行方向に延在する複数のゲ

ートラインと、該複数のゲートラインに順次ゲート走査信号を供給する垂直ドライバ回路とを備える表示装置に関し、特にその静電破壊防止対策に関するものである。

【0002】

【従来の技術】

図10は従来例の液晶表示装置の構成図である。液晶パネル100は、n行m列マトリクスに配置された複数の画素を備え、各画素は、画素選択用薄膜トランジスタTFT10、液晶LC及び保持容量Cscから成っている。以下この明細書中では、薄膜トランジスタ（Thin film transistor）をTFTと記載する。

【0003】

TFT10のゲートには、行方向に延びたゲートライン20が接続され、そのドレインには、列方向に延びたデータライン22が接続されている。各行のゲートライン20には垂直ドライブ回路（Vドライブ回路）130からゲート走査信号が順次供給され、これに応じて画素選択トランジスタが選択される。また、データライン22には水平ドライブ回路（Hドライブ回路）140からのドレイン走査信号に応じて、ビデオ信号が供給され、TFT10を通して液晶LCに印加される。（例えば、特許文献1を参照。）

【0004】

【特許文献1】

特開平10-115839号公報

【0005】

【発明が解決しようとする課題】

しかしながら、従来の液晶表示装置では垂直ドライブ回路130のゲート走査信号出力部のTFTのゲート絶縁層がTFT製造プロセス中の静電気により破壊したり、絶縁リークを生じるという問題があった。この問題について図8を参照して説明する。図11は図10の破線で囲まれた部分Bを拡大した図であり、ゲートライン20の端部及び垂直ドライブ回路130の出力部のパターンを示している。図11（A）はその平面図であり、図11（B）は図11（A）のX-X線に沿った断面図である。

【0006】

ゲートライン 20、保持容量ライン 21、垂直ドライブ回路 130 内のゲート配線の加工にはドライエッチングが用いられるが、その際にゲートライン 20、保持容量ライン 21、ゲート配線に静電気が蓄積される。また、その後ゲートライン 20 をマスクとして、P-Si 層に砒素や磷のような N 型不純物をイオン注入（P チャネル TFT の場合にはホウ素のような P 型不純物をイオン注入）してソース領域及びドレイン領域を形成する際にも、チャージアップ現象が生じ、ゲートライン 20、保持容量ライン 21、ゲート配線に静電気が蓄積される。ゲートライン 20、保持容量ライン 21 は液晶パネル 100 を横断するように長く延在しているので、特に静電気を帯びやすい。

【0007】

すると、図 11 に示すように、ゲートライン 20 の端部から、これと近接して配置された TFT1 のゲート配線 13 に放電が起こり、ゲート配線 13 を通って、隣接した TFT2 のゲート電極まで移動し、TFT2-1 のゲート絶縁層 12 の部分 A が破壊されたり、絶縁リークを生じる。なお、図において、40 は透明絶縁基板、11 は透明絶縁基板 40 上に形成された能動層（ポリシリコン層）、14 はアルミニウム配線層である。図 11（B）では、アルミニウム配線形成前の断面図を示している。

【0008】**【課題を解決するための手段】**

そこで、本発明は液晶表示装置の製造プロセス中に生じる静電気によるデバイスの破壊に対する対策を講じたものである。

【0009】

第 1 に、図 1，図 2 に示すようにゲートライン 20 が垂直ドライブ回路 130 の出力部に至る途中でゲートライン 20 を分断し、分断されたゲートライン 20，20 同士を上層のメタル配線 25 で接続した。

【0010】

第 2 に、図 4 に示すように、垂直ドライブ回路 130 内の回路を構成する TFT のゲート配線 153 の途中を分断し、分断されたゲート配線 153，153 同

士を上層のメタル配線 153A で接続した。

【0011】

第3に、図4に示すように、垂直ドライバ回路130内のゲート配線は、3個以上の薄膜トランジスタに直接入力しないように、ゲート配線153の途中を分断し、分断されたゲート配線153，153同士を上層のメタル配線153Aで接続した。

【0012】

第4に、図6（B），（C）に示すように、垂直ドライバ回路130内の相異なる信号がゲート配線を通して3つ以上入力されるマルチゲート型TFTについては、2以上のゲート配線が同一の能動層上に延在しないように、能動層を分断し、分断された能動層同士を前記ゲート配線よりも上層のメタル配線で接続した。

【0013】

【発明の実施の形態】

次に本発明の実施形態について図面を参照しながら詳細に説明する。

（第1の実施形態）

図1は、第1の実施形態に係る液晶表示装置の構成図である。図7と同一の構成部分については同一符号を付してその説明を省略する。この液晶表示装置では、ゲートライン20が垂直ドライバ回路130の出力部に至る途中でゲートライン20を分断し、分断されたゲートライン20，20同士を上層のメタル配線25で接続した（図1の破線で囲まれた部分Cを参照。）

ゲートライン20は例えば、モリブデン（Mo）やクロム（Cr）から成り、メタル配線25はアルミニウムから成る。

【0014】

図2は、図1の破線で囲まれた部分Cを拡大した図であり、ゲートライン20の端部及び垂直ドライバ回路130の出力部のパターンを示している。図2（A）はその平面図であり、図2（B）は図2（A）のX-X線に沿った断面図である。

【0015】

ゲートライン 20 は、分断されているため、液晶表示装置の製造プロセスの過程でゲートライン 20 に蓄積された電荷が、TFT1 のゲート配線 13 に放電することがなくなり、TFT のゲート絶縁層 12 の破壊等が防止される。

【0016】

そして、分断されたゲートライン 20、20 同士は、その後、ゲートライン 20、20 上の層間絶縁膜（不図示）に設けられたコンタクトホールを介して上層のメタル配線 25 に接続される。

【0017】

この場合、分断されたゲートライン 20、20 間の間隔が $10\ \mu\text{m}$ 以上であることが好ましい。本発明者の検討によれば、同じ層に作られた配線間で放電する確率は、その間隔が大きいほど小さくなることがわかっており、その間隔を $10\ \mu\text{m}$ 以上にすることによって放電確率を非常に小さくできる。

【0018】

また、図 2 に示すように垂直ドライバ回路の出力部の TFT1 より分断される前のゲートライン端が画素部に近いレイアウトの場合、ゲートライン 20 を分断しても、画素部側のゲートライン 20 から放電する先が分断したゲートライン 20 ではなく TFT1 のゲート配線になる可能性がある。これを防ぐためにゲートライン 20 を分断する場所は、垂直ドライバ回路の出力部の TFT1 から $10\ \mu\text{m}$ 以上はなれた位置にする必要がある。

【0019】

こうすることによってゲートライン 20 からの放電が直接 TFT1 のゲート配線に落ちることはなく、必ず、分断されたゲートライン 20 に落ちた後で TFT1 のゲート配線に向かうことになる。

【0020】

本発明者の検討によれば、ゲートラインなどの長い配線に蓄積された電荷量が大きいため、これが TFT を形成するゲート配線に直接放電すると TFT のゲート絶縁膜を破壊したり、ダメージを与え、リーク電流を発生させることになる。ゲートラインを分断し、短いゲートラインの一部を作ると、ここに蓄積される電荷量は、長いゲートラインに比べてはるかに小さくなる。

【0021】

したがって、もし短いゲートラインに蓄積された電荷がTFTを構成するゲートラインに放電してもTFTの絶縁膜に与えるダメージは小さく、TFTの特性不良を引き起こす可能性は低くなる。

【0022】

この理由から、ゲートラインを分断すること、出力部のTFTのゲート配線から離すこと、ゲートラインと出力部の間に分断された短いゲートラインを作ることが静電気ダメージに対する対策として有効である。

【0023】

なお、上記はTFTプロセス中において、ゲート配線を作製した後から、メタル配線の前の工程までの状況を説明しており、これらの工程においてはゲート配線部以外の表面が絶縁膜で覆われているため特に静電ダメージを受けやすい。したがって、これらの工程の間でゲート配線を分断しておき、後のメタル配線で接続することがプロセス中の静電気対策として有効である。

【0024】

(第2の実施形態)

本実施形態は、垂直ドライバ回路130や水平ドライバ回路140内での静電気によるゲート絶縁層の破壊等を防止するものである。ここでは、垂直ドライバ回路130を例としてその防止対策について説明するが、水平ドライバ回路140についても同様の対策をとることができる。

【0025】

図3は垂直ドライバ回路130の構成図である。この垂直ドライバ回路130は、シフトレジスタ部131、双方向スキャン部、ゲート走査信号をゲートライン20に出力する出力部133を有する。ここで、双方向スキャン部132は複数の3入力NANDゲート134A, 134B, 134C, 134Dを含んでいる。

【0026】

各3入力NANDゲートには、クロック信号線151のクロック信号が共通に入力されている。また、シフトレジスタ部131からのゲート配線153は、入

力NANDゲート134A, 134Bに共通に入力され、シフトレジスタ部131からのゲート配線154は、入力NANDゲート134B, 134Cに共通に入力され、シフトレジスタ部131からの信号線155は、入力NANDゲート134C, 134Dに共通入力されている。

【0027】

図4は、図3の破線で囲まれた部分のパターン図である。このパターンの特徴は、3入力NANDゲート134Aを構成するTFT161, 162及び隣接する入力NANDゲート134Bを構成するTFT163, 164に共通に入力されるゲート配線153の途中を分断し、分断されたゲート配線153, 153同士を上層のメタル配線153Aで接続した点である。

【0028】

同様に、ゲート配線154の途中を分断し、分断されたゲート配線154, 154同士を上層のメタル配線154Aで接続した。なお、ゲート配線153, 154は例えば例えば、モリブデン(Mo)やクロム(Cr)から成り、メタル配線153A, 154Aはアルミニウムから成る。

【0029】

ここで、ゲート配線153, 154等を分断しない場合におけるTFTのゲート絶縁膜の静電破壊メカニズムについて説明する。

【0030】

ゲート配線171からそれに最も近いゲート配線である152-1に静電気が放電した場合、まずTFT161のp-Si層(能動層)と152-1の間にあるゲート絶縁層の破壊等がおきやすい。この破壊によりTFT161のp-Si層の電圧が急激に変化すると、それと容量結合しているゲート配線151, 153-1の電位が急激に変化する。ゲート配線153はTFT163に入力されているため、TFT163のp-Si層とゲート配線153の間に大きな電位差が発生し、ゲート酸化膜が破壊されることになる。

【0031】

このようにゲート配線153, 154等が途中で分断されていない場合、静電破壊もしくはダメージがp-Siゲート間の容量結合によってとなりのp-Si

アイランドに伝播することになる。ゲートラインを分断することによって、1個のゲートラインに蓄積する電荷の量を下げるとともに、別のp-Siアイランドに静電破壊が伝播しないようにすることができる。最終的にはメタルの配線でゲート配線を接続することになるが、静電気ダメージを受けやすい工程において、配線を分断しておくことが静電気対策として有効である。

【0032】

なお、静電気ダメージが伝播していくためには、ゲートラインが入力される複数のp-Siアイランド（ゲート配線153が4個のp-Siアイランドに入力されている）のうち、少なくとも1つのp-Siアイランドには別のゲート信号が入力されていることが必要である。逆にいえば、あるゲートラインが入力されるp-Siアイランドが複数個あって、それらの少なくとも1つのp-Siアイランドには別のゲート配線が入力される場合にはゲート配線を分断し、上層のメタル配線でつないだほうが良いことになる。

【0033】

図4に示す3入力NAND回路においては、3つの入力信号がそれぞれp-ch側のp-Siアイランドとn-ch側のp-Siアイランドに入力されている。ゲート配線152, 153, 154は同一のゲートラインが2つのp-Siアイランドに入力されており、ゲート配線151は別々のゲート配線としてそれぞれのP-Siアイランドに入力されている。静電ダメージを伝播しないという意味ではゲート配線151の方が好ましい。

【0034】

同様に図11に示すゲート配線13についてもTFT1, TFT2-1で示される2個のp-Siアイランドに入力されており、これを図7に示すように分断すると、ゲートライン20から放電された静電気がTFT2にダメージを与える可能性が低くなる。

【0035】

以上の説明においては、垂直ドライバ回路130の中の回路を用いたが、プロセス途中において、長いゲート配線に電荷が蓄積しやすいことにおいては水平ドライバ回路140にも当てはまるため、これらを区別する必要はなく、水平ドラ

イバ回路 140 内にも同様の対策ができる。

【0036】

このように本発明者の検討によれば、長いゲート配線があると、液晶表示装置の製造プロセス（ゲート配線のドライエッチング工程、その後のソースドレイン形成のためのイオン注入工程）の過程で、チャージアップのメカニズムで多量の電荷が蓄積し、放電により薄膜トランジスタのゲート絶縁層の破壊等が起きやすい。そこで、ゲート配線の途中を分断して電荷の蓄積が少なくなるようにした。

【0037】

図5はこの発明の概念図を示した断面図であり、図5（A）のように、長いゲート配線 201 が、薄膜トランジスタの p-Si アイランド 200-1, 200-2, ... 上にゲート絶縁層 203 を介して延在すると、静電気によりゲート絶縁層 203 の破壊が起きやすい。

【0038】

そこで、図5（B）に示すように、ゲート配線 201-1, 201-2, ... の途中を分断して、その後の製造プロセスでアルミニウム配線等の上層配線で必要な接続をした。

【0039】

また、図4に示すように、ゲート配線 153, 154 は、3 個以上の TFT に直接入力しないように、それらのゲート配線 153, 154 の途中を分断している。例えば、ゲート配線 153 は途中で分断されているため、3 入力 NAND 回路 134 A の薄膜トランジスタ 161, 162 と、3 入力 NAND 回路 134 B の薄膜トランジスタ 163, 164 に分かれて入力されている。

【0040】

すなわち、この場合、ゲート配線 153 は 2 個の TFT にだけ直接入力されている。このように構成する理由は、1 つのゲート配線が多数の TFT に分断されずに直接入力されると、TFT のゲート絶縁層の破壊等が起きやすいからである。ゲート配線を 3 個以上の TFT に直接入力しないとした理由は、2 個以下について規制することは、実用的でないためである。

【0041】

(第3の実施形態)

上記第1, 第2の実施形態では、ゲート配線から考えた場合の静電気対策であるが、本実施形態ではTFTのp-Siアイランド(P-Si能動層)から考えた対策であり、ドライバ回路(垂直ドライバ回路だけでなく水平ドライバ回路も含む)内において相異なるゲート配線が1つのp-Siアイランドに入力されないように、p-Si能動層を分断し、分断されたp-Siアイランド同士を前記ゲート配線よりも上層のメタル配線で接続したものである。

【0042】

図11のTFT2で示されるp-Siアイランドはゲート配線13が入力されているTFT2-1とゲート配線15が入力されるTFT2-2, TFT2-3で構成されている。

【0043】

静電気による放電がゲート配線13に入り、電位が大きく変化した場合、ゲート配線15とゲート配線13の間の電位差が大きくなり、p-Si膜はその両方のゲート配線と容量で結合しているため、結果ゲート絶縁膜に大きな電位差がかかり、絶縁膜破壊が起きる。

【0044】

これを防ぐため、図8に示すようにp-Siアイランドを分断しておき、それぞれのp-Siアイランドに別々のゲート配線が入力されるようにする。これによって静電気によるゲート配線の電位変化はそれが入力されるp-Siアイランドのみに影響を与えることになり、このp-Siアイランドは前記ゲートラインのみと容量結合しているため、ゲート絶縁膜の破壊が起りにくくなる。

【0045】

p-Siアイランドは、後の工程のメタル配線で接続することによって、図8に示す回路と同じ動作をする。1つのp-Siアイランドに別々のゲート配線が入力されないように切断する方法は、そのp-Siアイランドがマルチゲートトランジスタを構成する場合にも適用できる。

【0046】

図6は3入力ゲート型の薄膜トランジスタのパターン例(A), (B), (C

）を示す図である。これは、例えば 3 入力 NAND 回路の N チャネル型 TFT に対応するものである（図 4 の TFT 1 6 1, 1 6 3 を参照）。

【 0 0 4 7 】

図において左側が平面パターン図であり、右側に各平面パターンの X-X 線、Y-Y 線、Z-Z 線に沿った断面図を示している。また、いずれのパターンにおいても、3 つの異なる信号 C 1, C 2, C 3 がそれぞれのゲート配線によって入力されているものとする。

【 0 0 4 8 】

まず、パターン例（A）では、1 つの p-S i アイランド 3 0 0 上に、3 つのゲート配線が入力されているが、このパターンはゲート絶縁層 4 0 0 の絶縁破壊や絶縁リークが発生しやすい。

【 0 0 4 9 】

それは、静電気が蓄積し、放電する過程で、3 つのゲート配線のいずれかの間に大きな電位差が生じると、ゲート絶縁層 4 0 0 に大きな電位差がかかり、絶縁破壊等が生じるためである。そこで、本実施例では、このようなパターン例は用いることはデザインルール上で禁止し、次のパターン例（B）, （C）を用いるようにする。

【 0 0 5 0 】

パターン例（B）では、3 入力型の TFT の p-S i アイランドは、2 つの p-S i アイランド 3 0 1, 3 0 2 に分離されており、一方の p-S i アイランド 3 0 1 上に絶縁層 4 0 0 を介して 2 つのゲート配線が延在しており、これと隣接した他方の p-S i アイランド 3 0 2 には 1 つのゲート配線が延在している。

【 0 0 5 1 】

そして、2 つの p-S i アイランド 3 0 1, 3 0 2 は、その後の製造プロセスで、上層のメタル配線 3 0 3 によって接続され、1 つの 3 入力型の TFT として機能するように構成されている。

【 0 0 5 2 】

また、パターン例（C）では、3 入力型の TFT の p-S i アイランドは、3 つの p-S i アイランド 3 0 4, 3 0 5, 3 0 6 に分離されており、各 p-S i

アイランド上に絶縁層 400 を介して 1 つずつのゲート配線が延在している。

【0053】

そして、3つの分離された p-Si アイランド 304, 305, 306 は、その後の製造プロセスで、上層のメタル配線 307, 308 によって接続され、1つの3入力型の薄膜トランジスタとして機能するように構成されている。

【0054】

以上の各実施形態では、液晶表示装置への適用を例として説明したが本発明はこれに限定されるものではなく、ゲートラインや垂直ドライバ回路を有する他の表示装置、例えば EL 表示装置等にも広く適用することができるものである。

【0055】

ただし、3入力 NAND の n-ch TFT の p-Si アイランドを 2 つに分割するより、3 つに分割する方が好ましい。

【0056】

また、図 7 に示すゲート配線の分断と図 8 に示す p-Si アイランドの分断を合わせると、図 9 に示すように 1 個の p-Si アイランドには 1 個のゲート配線が入力されている構成となる。

【0057】

【発明の効果】

本発明によれば、ゲートラインが垂直ドライバ回路の出力部に至る途中でゲートラインを分断し、分断されたゲートライン同士を上層のメタル配線で接続したので、表示装置の製造工程中に生じる静電気の影響を無くすことができ、当該出力部の TFT の絶縁破壊や絶縁リークの発生を防止することができる。

【0058】

また、垂直ドライバ回路又は水平ドライバ回路内の回路を構成する TFT のゲート配線の途中を分断し、分断されたゲート配線同士を上層のメタル配線で接続したので、ゲート配線に蓄積される静電気の量を少なくし、当該 TFT の絶縁破壊や絶縁リークの発生を防止することができる。

【0059】

また、垂直ドライバ回路内のゲート配線は、複数個以上の TFT 又は能動層に

直接入力しないように、ゲート配線の途中を分断し、分断されたゲート配線同士を上層のメタル配線で接続したので、当該TF Tの絶縁破壊や絶縁リークの発生を防止することができる。

【0060】

さらに、複数のゲート配線が入力される能動層では、2以上のゲート配線が同一の能動層上に延在しないように、能動層を分断し、分断された能動層同士を前記ゲート配線よりも上層のメタル配線で接続したので、当該マルチゲート型TF Tの絶縁破壊や絶縁リークの発生を防止することができる。

【図面の簡単な説明】

【図1】

本発明の実施形態に係る液晶表示装置の構成図である。

【図2】

本発明の実施形態に係る液晶表示装置の垂直ドライブ回路の出力部の構成図である。

【図3】

本発明の実施形態に係る液晶表示装置の垂直ドライブ回路の構成図である。

【図4】

本発明の実施形態に係る液晶表示装置の垂直ドライブ回路の部分パターン図である。

【図5】

本発明の実施形態に係る液晶表示装置の垂直ドライブ回路の部分断面図である。

【図6】

入力ゲート型の薄膜トランジスタのパターン例(A)，(B)，(C)を示す図である。

【図7】

本発明の実施形態に係る液晶表示装置の垂直ドライブ回路の出力部の構成図である。

【図8】

本発明の実施形態に係る液晶表示装置の垂直ドライブ回路の出力部の構成図であ

る。

【図 9】

本発明の実施形態に係る液晶表示装置の垂直ドライブ回路の出力部の構成図である。

【図 1 0】

従来例に係る液晶表示装置の構成図である。

【図 1 1】

従来例に係る液晶表示装置の垂直ドライブ回路の出力部の構成図である。

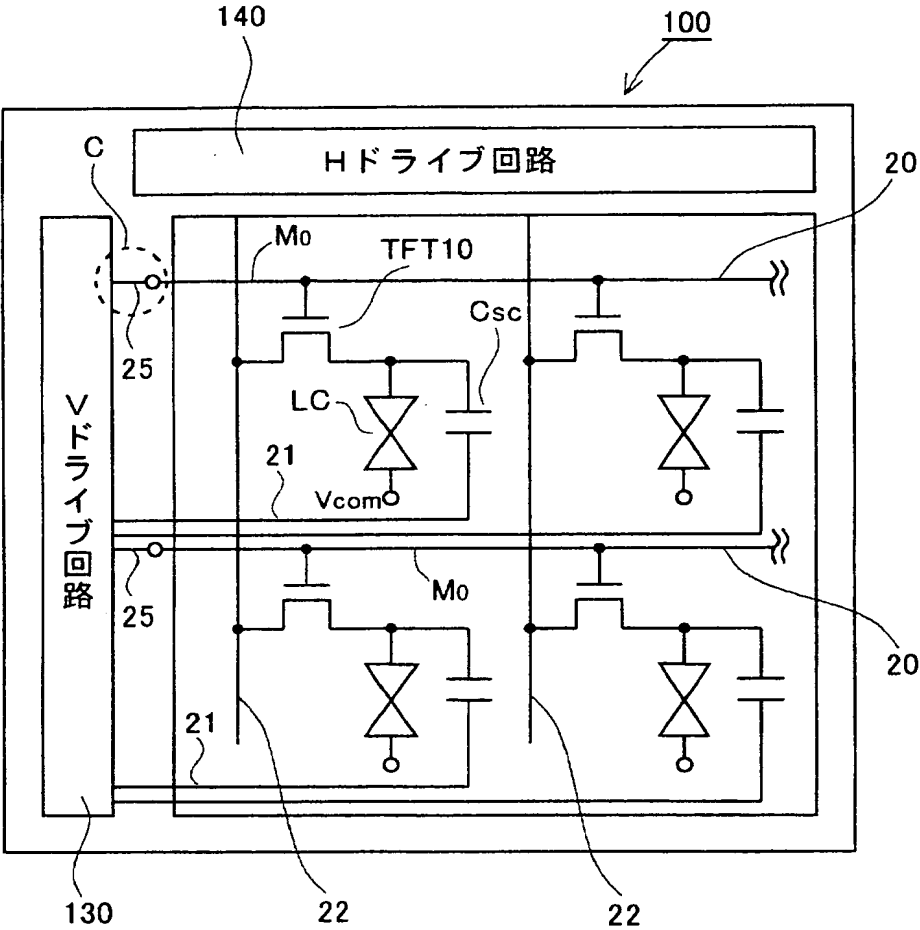
【符号の説明】

1 1	能動層
1 2	ゲート絶縁層
1 3	ゲート配線
1 4	メタル配線
2 0	ゲートライン
2 1	保持容量ライン
2 2	データライン
2 5	メタル配線
4 0	透明絶縁基板
1 0 0	液晶パネル
1 3 0	垂直ドライブ回路
1 3 1	シフトレジスタ部
1 3 2	双方向スキャン部
1 3 3	出力部
1 3 4 A ~ 1 3 4 D	NANDゲート
1 4 0	水平ドライブ回路
1 5 3 ~ 1 5 6	ゲート配線
1 6 1 ~ 1 6 4	薄膜トランジスタ
2 0 0	p-Siアイランド
2 0 1	ゲート配線

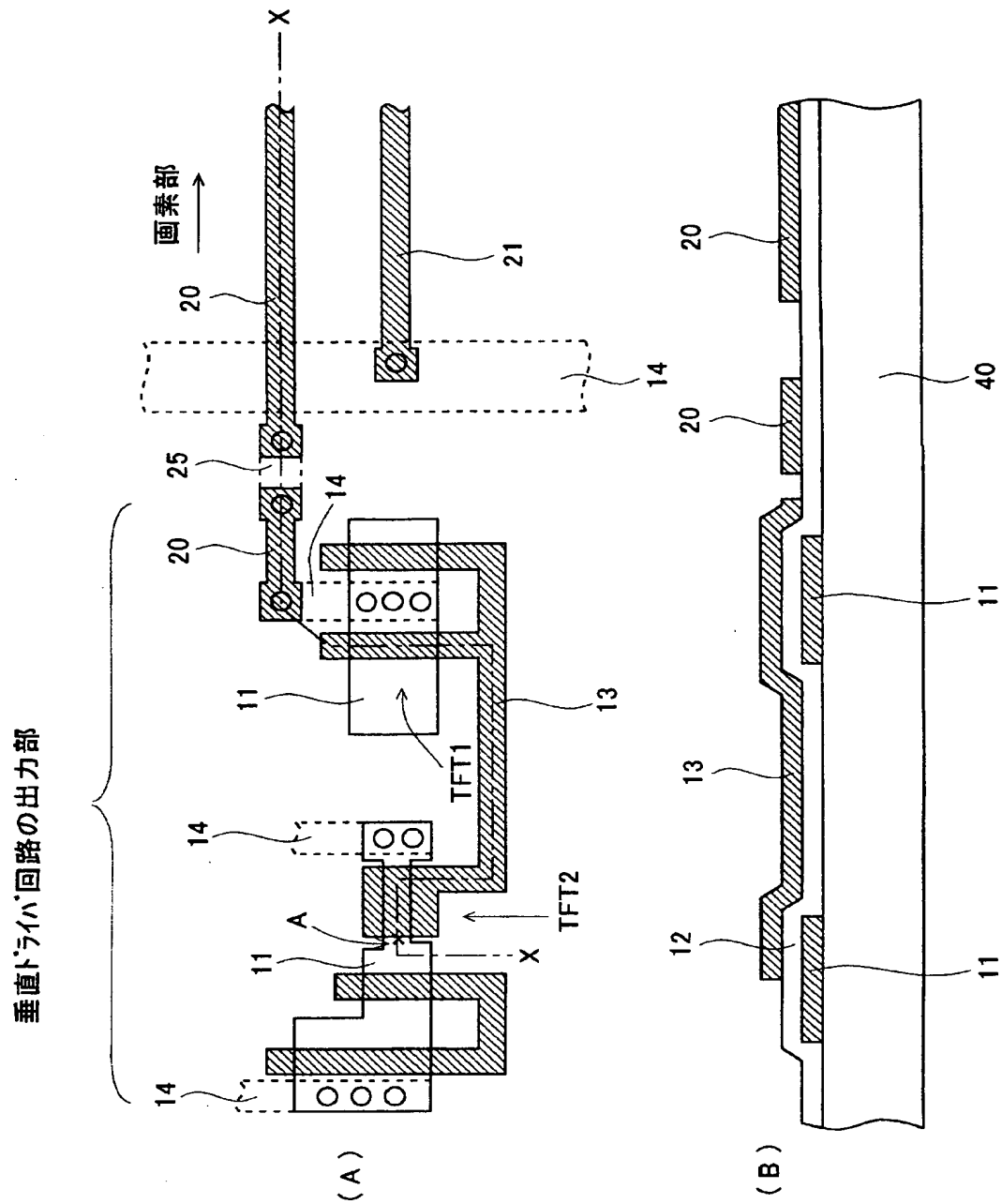
2 0 3 ゲート絶縁層

【書類名】 図面

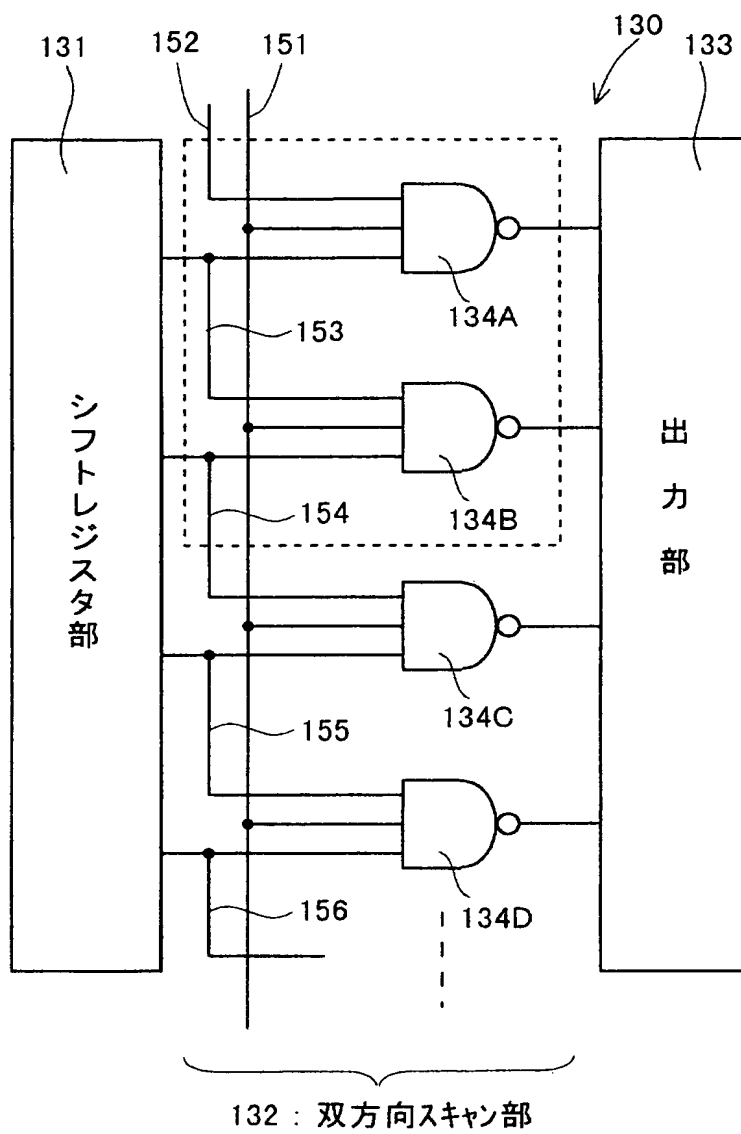
【図 1】



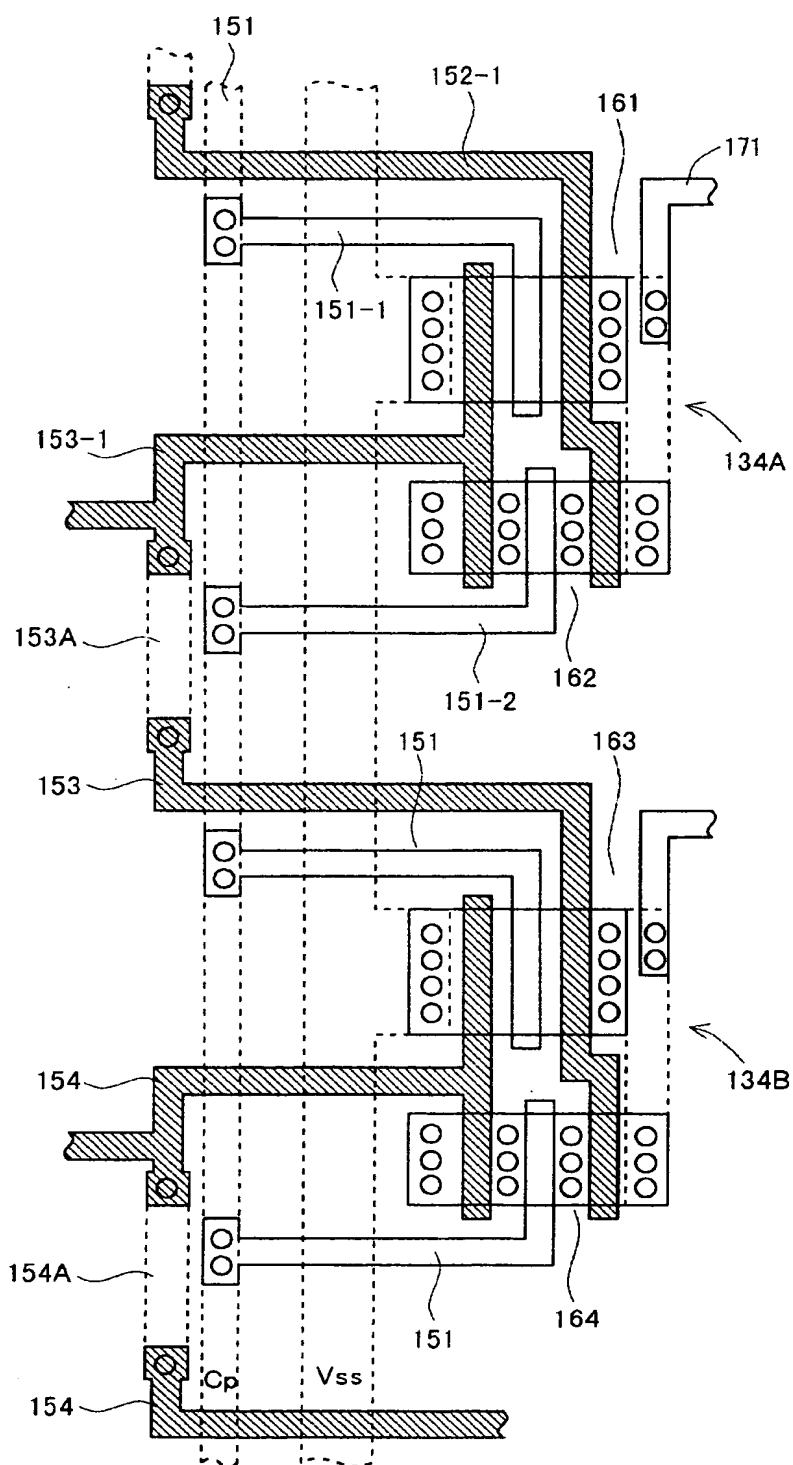
【図 2】



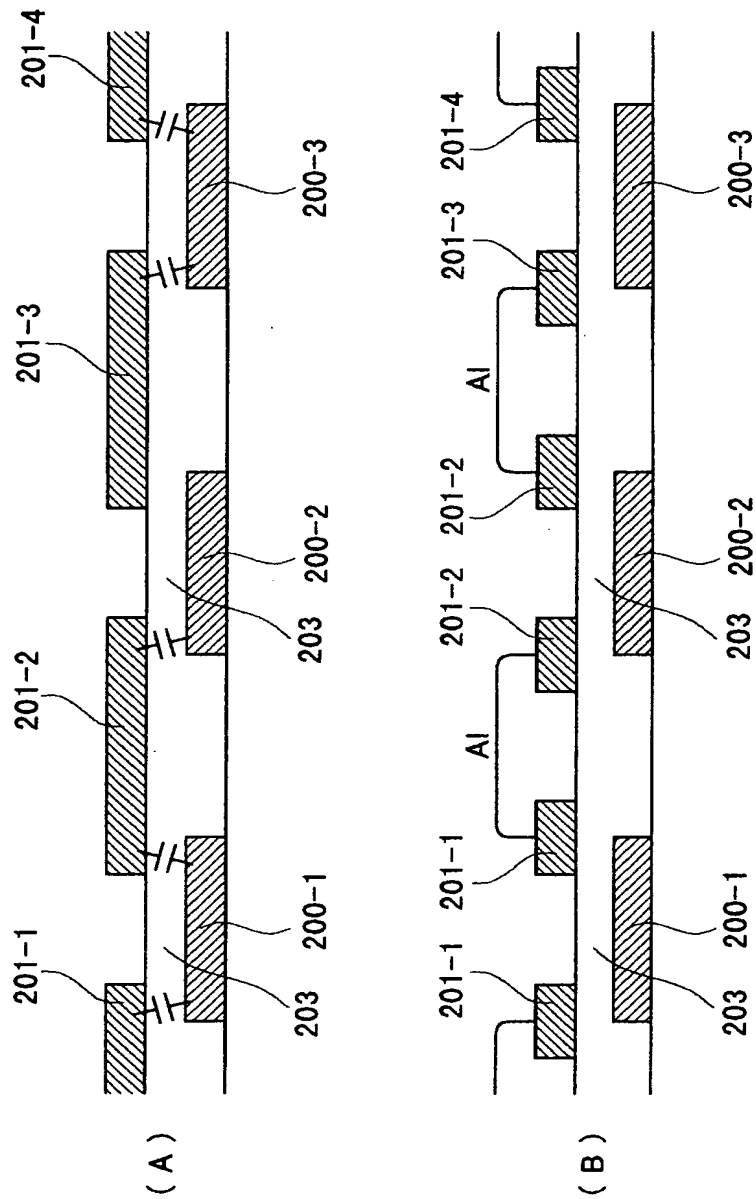
【図 3】



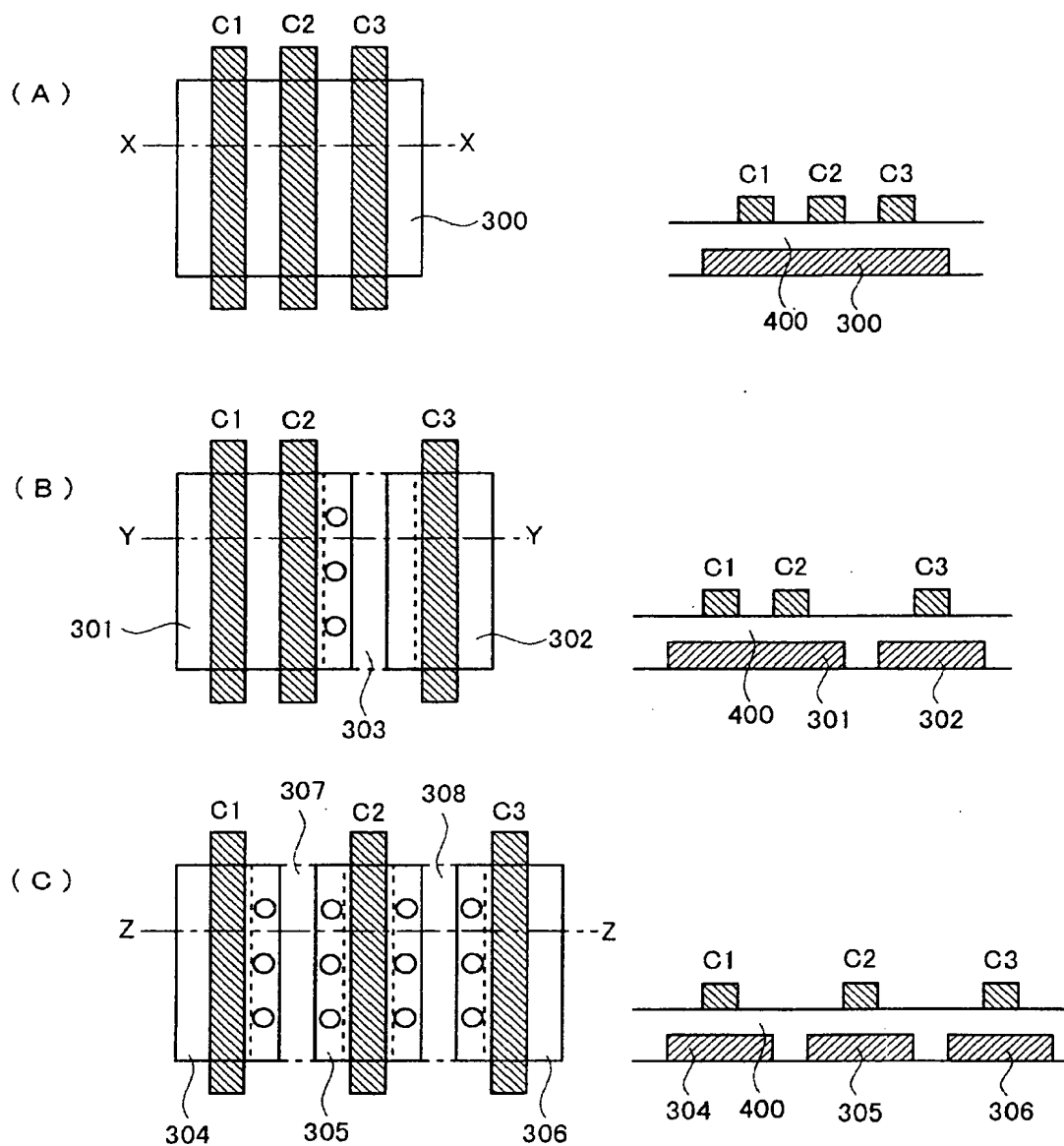
【図 4】



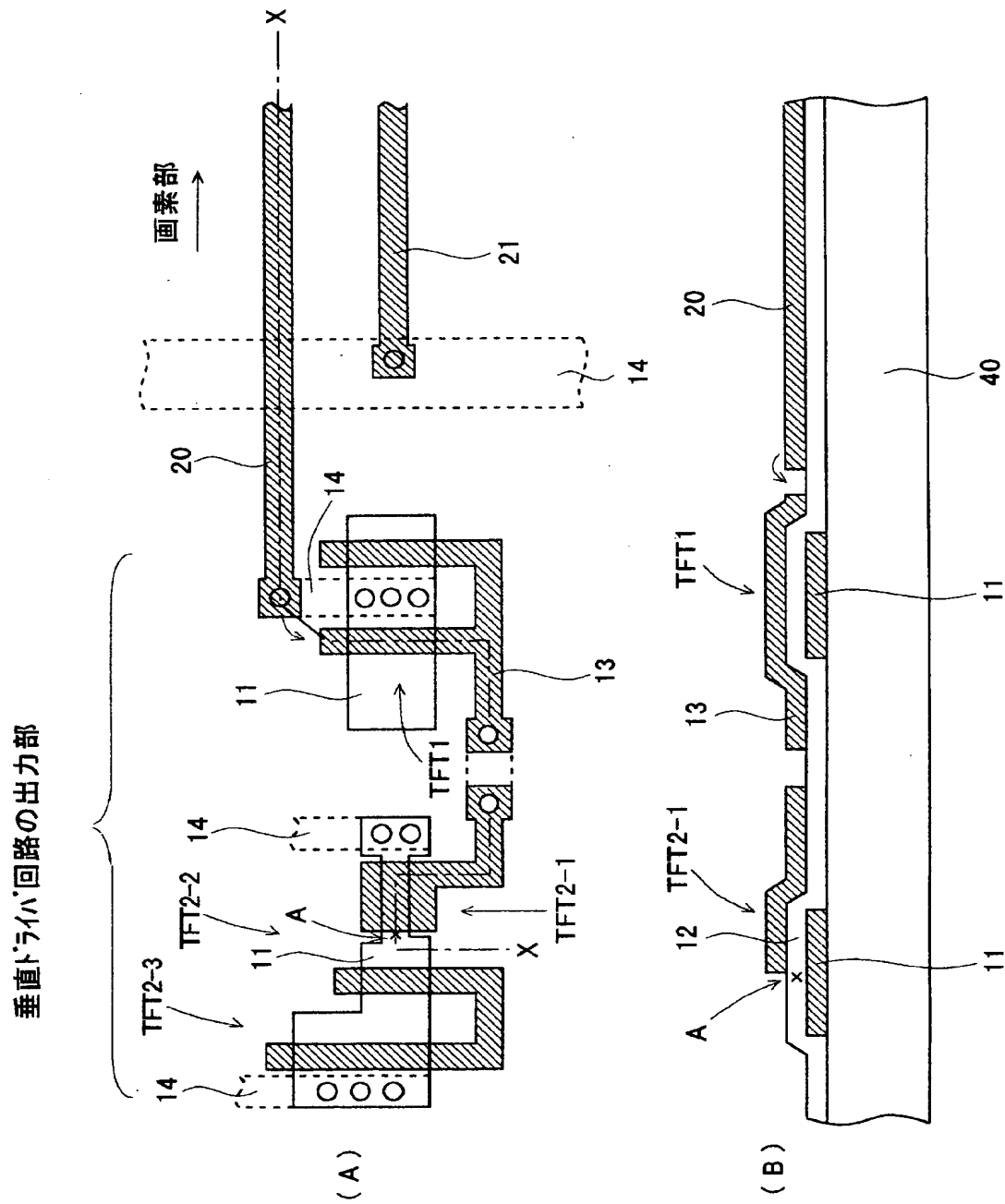
【図 5】



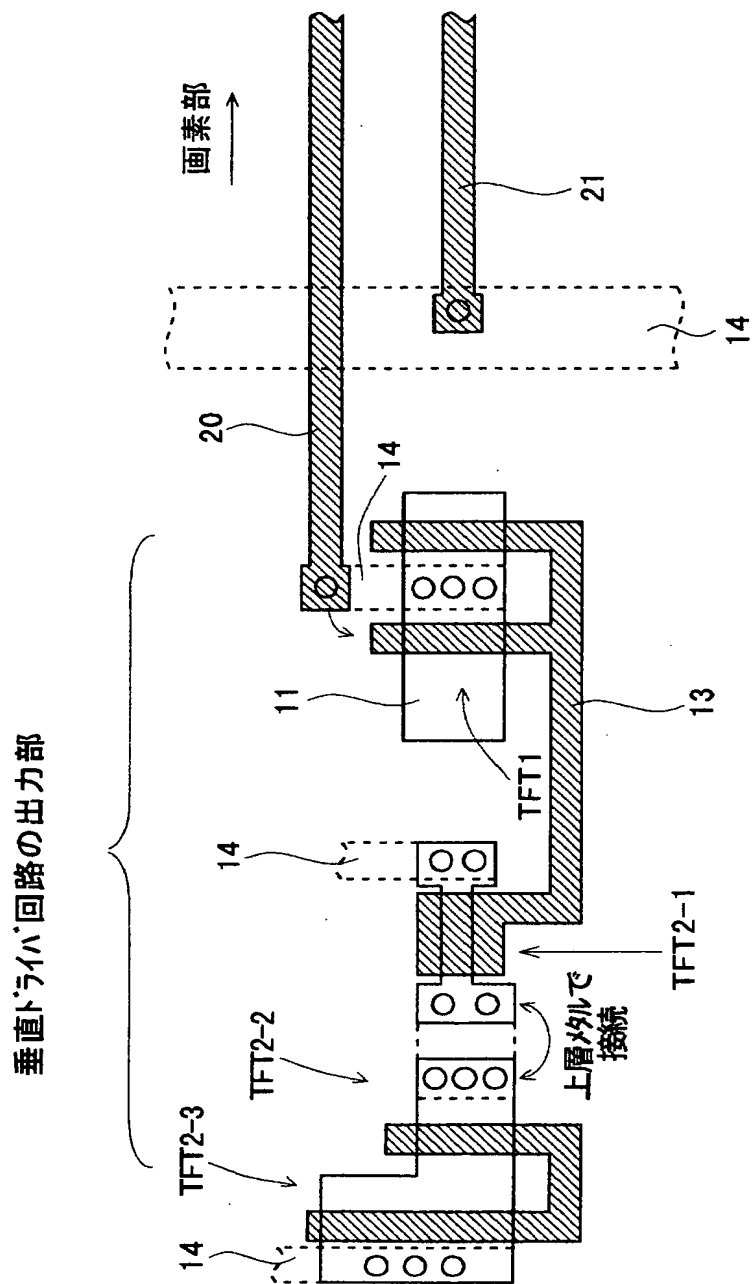
【図 6】



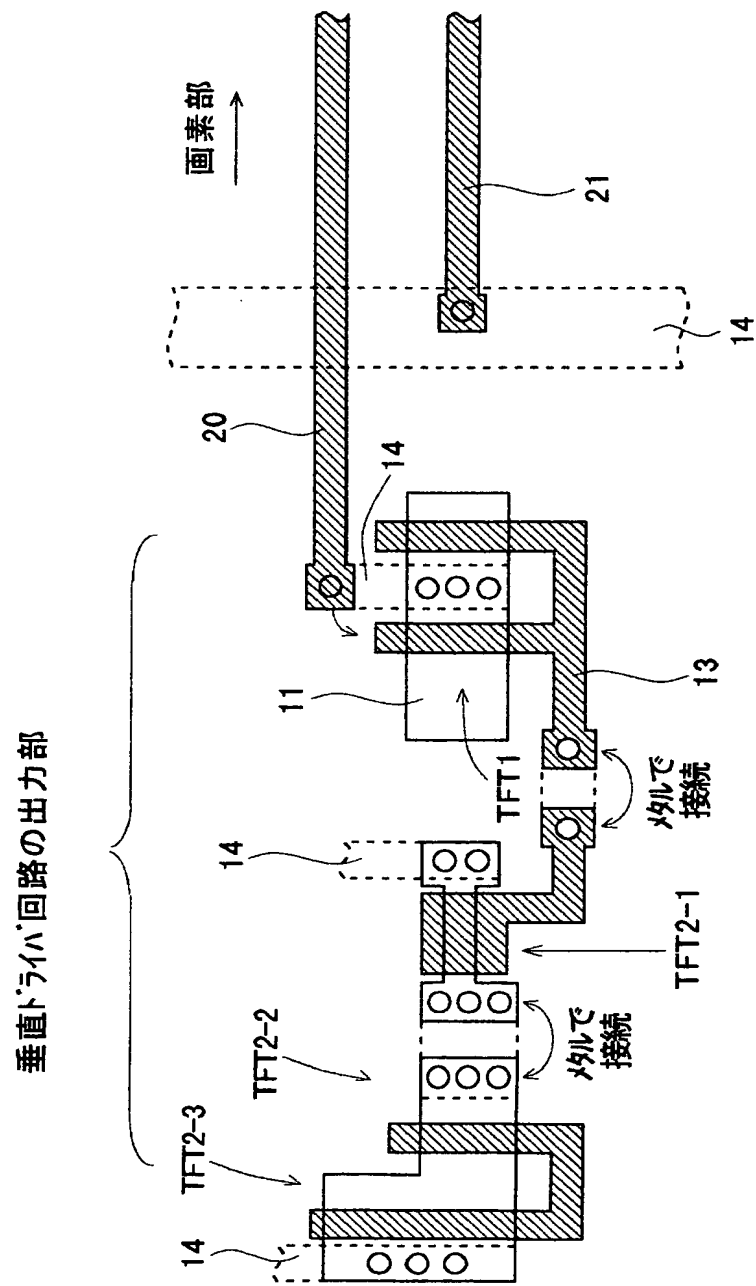
【図 7】



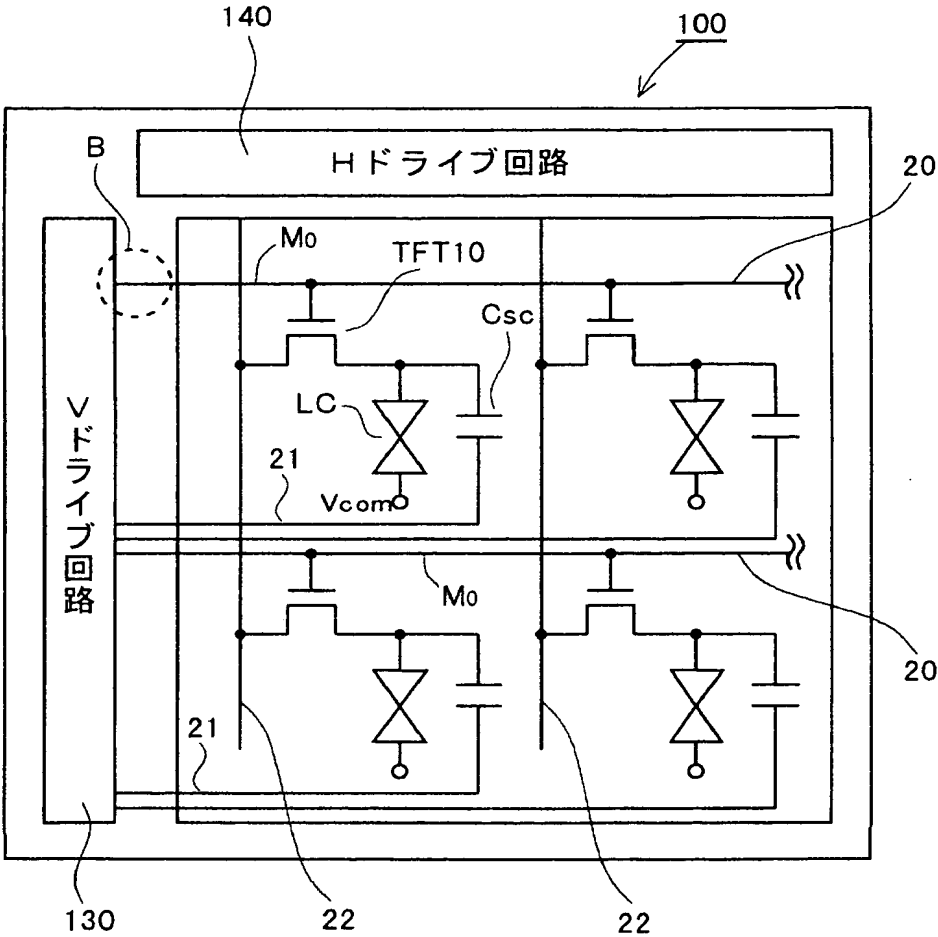
【図 8】



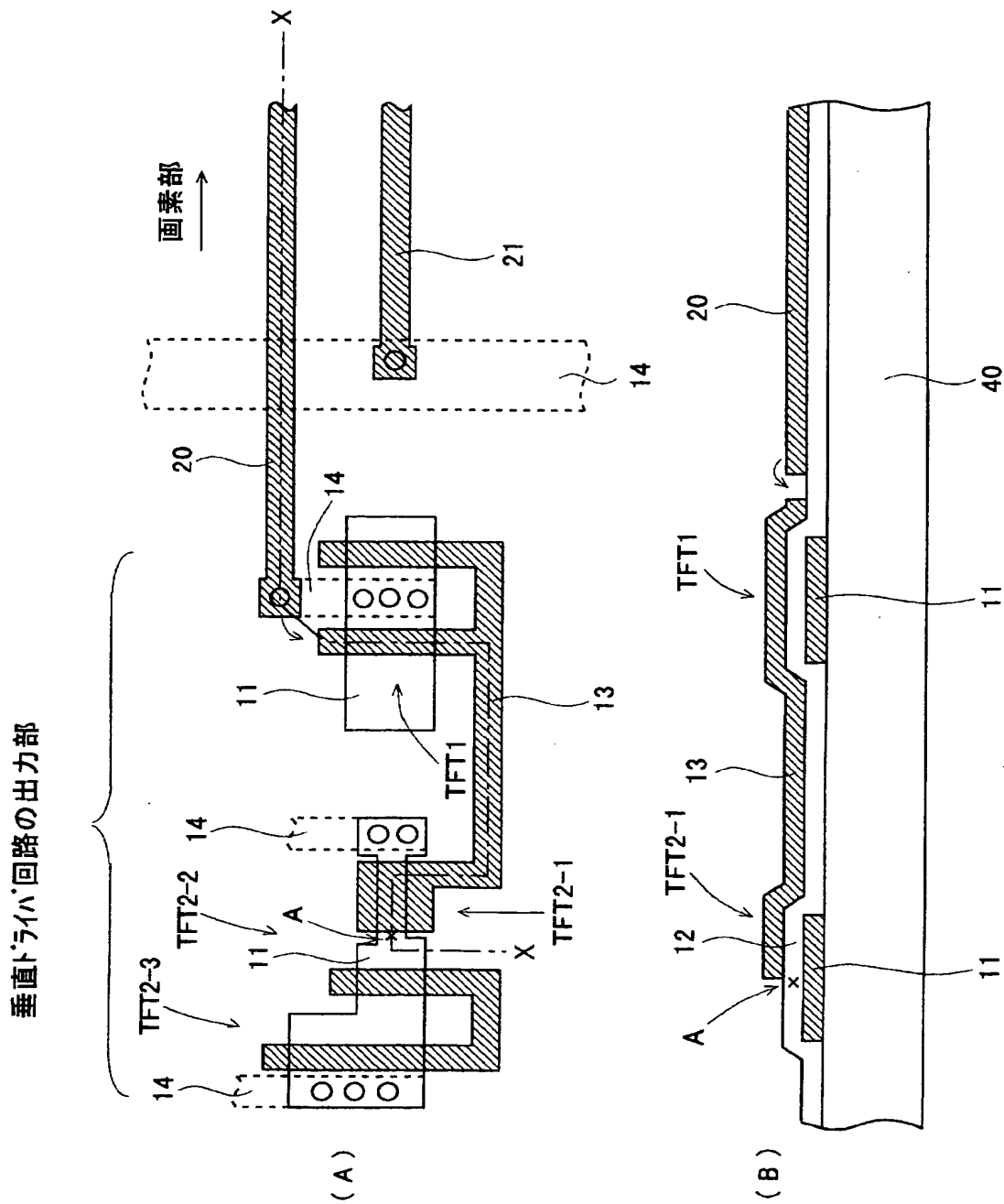
【図 9】



【図10】



【図 11】



【書類名】 要約書

【要約】

【課題】 表示装置において、薄膜トランジスタのゲート絶縁層の絶縁破壊や絶縁リークの発生を防止する。

【解決手段】 ゲートライン 20 が垂直ドライバ回路 130 の出力部に至る途中で、ゲートライン 20 を分断し、分断されたゲートライン 20，20 同士を上層のメタル配線 25 で接続する。ゲートライン 20 は例えば、モリブデン (Mo) やクロム (Cr) から成り、メタル配線 25 はアルミニウムから成る。ゲートライン 20 は、分断されているため、液晶表示装置の製造プロセスの過程でゲートライン 20 に蓄積された電荷が、薄膜トランジスタ TFT1 のゲート配線 13 に放電することがなくなり、薄膜トランジスタ TFT2 のゲート絶縁層 12 の破壊等が防止される。

【選択図】 図 2

特願 2 0 0 2 - 3 2 6 4 1 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1 . 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社